

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-005536

(43)Date of publication of application : 14.01.1994

(51)Int.Cl.

H01L 21/268

H01L 21/26

H01L 21/324

H01L 29/784

(21)Application number : 04-158108

(71)Applicant : SONY CORP

(22)Date of filing : 17.06.1992

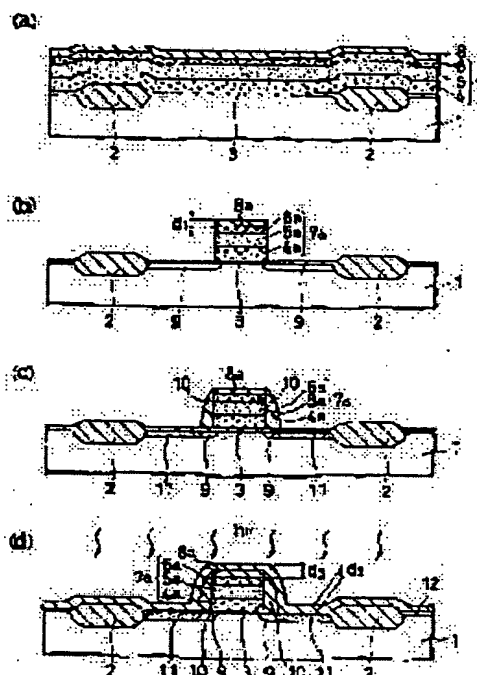
(72)Inventor : TSUKAMOTO HIRONORI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To perform XeCl excimer laser annealing for activating a source/drain (S/D) region in a MOS FET without deforming a gate electrode.

CONSTITUTION: Generally, the reflectivity of a thin film varies in a period of $\lambda/2n$ (λ = wavelength, n = refractive index) due to the interference of incident light and reflected light. The difference $d1$ between a film thickness $d3$ achieving the maximum reflectance and that $d2$ achieving the minimum reflectance is expressed as $\lambda/4n$. So a first SiO₂ film pattern 8a with a thickness of $d1$ is formed on a gate electrode 7a, and then a second SiO₂ film 12 is formed on the entire surface of the wafer in a way that the thickness of an antireflection film on the gate electrode 7a is $d3$ and the film thickness in a S/D region (high concentration impurity diffusion region 11 and LDD region 9) is $d2$. This controls the heating of the gate electrode 7a and prevents its deformation under conditions for sufficiently heating the S/D region.



LEGAL STATUS

[Date of request for examination]

09.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3211377

[Date of registration]

19.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-5536

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/268	Z	8617-4M		
21/26	L	8617-4M		
21/324	Z	8617-4M		
29/784				
		7377-4M		
			H 0 1 L 29/ 78	3 0 1 F
			審査請求 未請求	請求項の数5(全 7 頁)

(21)出願番号 特願平4-158108

(22)出願日 平成4年(1992)6月17日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 塚本 弘範

東京都品川区北品川6丁目7番35号 ソニー株式会社内

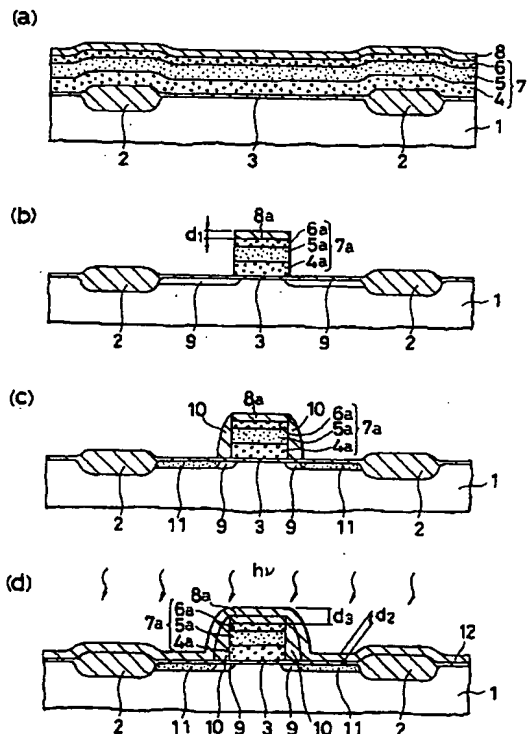
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 MOS-FETのソース/ドレイン領域(S/D領域)を活性化するためのXeClエキシマ・レーザ・アニールを、ゲート電極を変形させずに行う。

【構成】 一般に薄膜の反射率は、入射光と反射光の干渉に起因して $\lambda/2n$ (λ =波長, n =屈折率)の周期で変化し、極大反射率の達成される膜厚 d_3 と極小反射率が達成される膜厚 d_2 の膜厚差 d_1 は $\lambda/4n$ で表される。そこで、ゲート電極7a上に予め膜厚 d_1 の第1のSiO₂膜パターン8aを形成し、その後、ゲート電極7a上の反射防止膜の膜厚が d_3 、S/D領域(高濃度不純物拡散領域11とLDD領域9)上の膜厚が d_2 となるようにウェハ全面に第2のSiO₂膜12を形成する。S/D領域が十分に加熱される条件下でもゲート電極7aの発熱が抑制され、その変形が防止できる。



【特許請求の範囲】

【請求項1】 アニールを要する第1の領域とアニールが実質的に不要な第2の領域とが混在する基板に対して光アニールを行う半導体装置の製造方法において、前記基板の全面に、前記第1の領域上ではアニール光の反射率を極小となし、かつ前記第2の領域上ではアニール光の反射率を極大となすごとく制御された膜厚を有する反射防止膜を設けることを特徴とする半導体装置の製造方法。

【請求項2】 前記第2の領域の少なくとも表層部が第1の領域と実質的に等しい屈折率を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第1の領域がMOSトランジスタのソース／ドレイン領域であり、前記第2の領域がゲート電極であることを特徴とする請求項1または請求項2記載の半導体装置の製造方法。

【請求項4】 前記反射防止膜が誘電体膜であることを特徴とする請求項1ないし請求項3のいずれか1項記載の半導体装置の製造方法。

【請求項5】 前記光アニールがレーザ照射により行われることを特徴とする請求項1ないし請求項4のいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、特に高温加熱を要する領域と高温加熱を避けるべき領域とが同一基板上に混在している場合に、後者の領域に悪影響を与えることなく前者の領域に対して十分な熱処理を行うことを可能とする方法に関する。

【0002】

【従来の技術】半導体装置の製造工程では、各種のアニール処理（熱処理）が行われる。たとえば、MOS-FETのソース／ドレイン領域を形成する際には、イオン注入により乱れた半導体基板の結晶性を回復させ、かつ注入されたアクセプタ・イオンやドナー・イオンを電気的に活性化するために活性化アニールが行われる。

【0003】また、MOS-FETのコンタクト抵抗を低減させるためにソース／ドレイン領域の表層部をシリサイド化するプロセスでは、W、Mo、Ti等のいわゆる高融点金属やPt、Pdのような融点の比較的高い貴金属とSi基板とを反応させてシリサイド層を形成するために、やはり高温域でシリサイド化アニールが行われる。

【0004】かかるアニールの方法としては、従来から電気炉を用いる炉アニール、赤外線ランプを用いるラピッド・サーマル・アニール（RTA）、レーザ光源を用いるレーザ・アニール等が知られている。

【0005】一方、デバイスの高集積化が進行するにつれて、個々のMOS-FETにおいてはソース／ドレイン領域における不純物拡散範囲の深さ、すなわち接合深

さを浅くすることが必要とされている。この場合、炉アニールやRTAにより活性化アニールやシリサイド化アニールを行うと、基板の昇温速度と降温速度が遅く、接合深さが大きくなってしまいう問題がある。これらに対し、レーザ・アニールではレーザ・パルスショットがピコ秒からナノ秒のオーダーで短く、しかもそのエネルギーは被照射層の表面から約20nmまでの浅い範囲内でほぼ吸収される。これにより、半導体基板の表面が融点近傍まで加熱され、約100nmまでの深さの領域を活性化できるため、レーザ・アニールはソース／ドレイン領域、特にLDD（Lightly Doped Drain）構造における低濃度不純物拡散領域の活性化等には極めて適している。

【0006】

【発明が解決しようとする課題】ところで、MOS-FETのソース／ドレイン領域の活性化やシリサイド化等が行われる時点では、既にゲート電極が形成されているのが普通であり、また特に高集積化された半導体装置においては、既に他のデバイスの電極パターンや配線パターンが多数形成されていることも少なくない。したがって、レーザ・アニール時には、これらのパターンも同時に加熱されることになるが、デザイン・ルールの縮小に伴ってこの加熱によりパターンが変形するという問題が顕在化してきた。

【0007】半導体装置の電極パターンや配線パターンは、通常、誘電体膜の上に形成されているが、たとえば代表的な誘電体であるSiO₂の熱伝導率（0.014 W/cm・deg）はSi基板の熱伝導率（1.5 W/cm・deg）よりも2桁も低い。このため、SiO₂膜上のパターンの内部で蓄熱が進行し、この熱によりパターンが変形するのである。

【0008】この問題の解決策として、レーザのパワーを低下させて電極パターンや配線パターンにおける蓄熱を抑制することも考えられる。しかし、この方法ではLDD領域のイオンの活性化率が低下し、抵抗が増大してMOS-FETの動作速度が低下したり、半導体基板の結晶性が十分に回復せずにリーク電流が増大したり、シリサイド化が十分に進行せず、所望のコンタクト抵抗の低減が達成されなかったりする等の逆効果が生じやすい。

【0009】一例として、図3および図4に、不純物をイオン注入したSi基板にXeClエキシマ・レーザ・アニール（ELA、波長308nm）を行った場合のシート抵抗と接合深さの関係を示す。図3の横軸は、n型Si基板にBF₃⁺をイオン注入して形成したp⁺型ソース／ドレイン領域のp⁺n接合深さ（nm）、図4の横軸はp型Si基板にAs⁺をイオン注入して形成したn⁺型ソース／ドレイン領域のn⁺p接合深さ（nm）をそれぞれ表しており、縦軸は両図ともシート抵抗（Ω/□）を表す。イオン注入は、いずれも厚さ10nmの

ゲート SiO_2 膜を介して行っており、注入条件はイオン加速エネルギー 15keV 、ドーズ量 $3 \times 10^{15}/\text{cm}^2$ である。また、レーザ・アニールは厚さ 50nm の反射防止 SiO_2 膜を介して行っており、このときの光エネルギー密度(mJ/cm^2)をプロットの傍らに記載してある。

【0010】これらの図より、接合深さを 100nm 以下とするためには、おおよそ $1100\text{mJ}/\text{cm}^2$ までの光エネルギー密度が利用できることがわかる。しかし、実際には約 $800\text{mJ}/\text{cm}^2$ を越えると電極パターンや配線パターンは極めて変形しやすい。しかも、光エネルギーが小さすぎるとシート抵抗は急激に増大する様子が明らかである。

【0011】あるいは別の対策として、被照射部位の特性に応じてレーザのエネルギー密度を変化させることも考えられる。しかし、これではスルーポットの大幅な低下が避けられず、実用的とは言えない。

【0012】そこで本発明は、微細なMOS-FETにおいて低抵抗の浅い接合を形成する一方で、ゲート電極や配線パターンの変形を防止することが可能な半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の半導体装置の製造方法は、上述の目的を達成するために提案されるものであり、アニールを要する第1の領域とアニールが実質的に不要な第2の領域とが混在する基板に対して光アニールを行う方法であって、前記基板の全面に、前記第1の領域上ではアニール光の反射率を極小となし、かつ前記第2の領域上ではアニール光の反射率を極大となすごく制御された膜厚を有する反射防止膜を設けることを特徴とする。

【0014】本発明はまた、前記第2の領域の少なくとも表層部が第1の領域と実質的に等しい屈折率を有することを特徴とする。

【0015】本発明はまた、前記第1の領域がMOS-FETのソース/ドレイン領域であり、前記第2の領域がゲート電極であることを特徴とする。

【0016】本発明はまた、前記反射防止膜が誘電体膜であることを特徴とする。

【0017】本発明はさらに、前記光アニールがレーザ照射により行われることを特徴とする。

【0018】

【作用】本発明者は、電極パターンや配線パターン等のように加熱を避けるべき領域にはエネルギー密度が低く、ソース/ドレイン領域のように加熱を要する領域にはエネルギー密度が高くなるような光アニールを可能とする方法を実現するため、従来からレーザ・アニールに適用されている反射防止膜の效果に着目した。たとえば特開昭58-116730号公報には、p型Si基板やp型Si薄膜に対してレーザ照射を行うと、レーザ光の

大部分は反射され $30 \sim 40\%$ 程度の光エネルギーが吸収されるに過ぎないが、これらの上に SiO_2 等からなる反射防止膜を形成すると光エネルギーの吸収効率が向上することが開示されている。前述の図3および図4にデータを示した実験においても、反射防止 SiO_2 膜が用いられている。

【0019】一般にある基板上に形成された薄膜に単色光を入射させると、入射光と反射光の干渉に起因して、薄膜の膜厚にしたがって反射率が周期的に変化することが知られている。この反射率変化の周期は、 $\lambda/2n$ （ただし、 λ は光の波長、 n は薄膜の屈折率を表す。）で表される。一例として図1に、Si基板上に形成された SiO_2 膜の膜厚(nm)と、XeClエキシマ・レーザ波長 308nm における反射率 $R(\%)$ との関係を示す。ここで、 SiO_2 膜の屈折率 n は 1.46 であり、図中に示される最初の極大反射率 R_{\max} は膜厚 d_3 で現れる。極大反射率 R_{\max} の現れる周期は、 $\lambda/2n$ より約 105nm である。隣接する極大反射率 R_{\max} の中点位置には、極小反射率 R_{\min} を示す膜厚 d_2 が存在する。

【0020】この原理を本発明に適用すると、以下のようになる。すなわち、反射防止膜を介して光アニールを行う場合、加熱を要する第1の領域上では極小反射率 R_{\min} が達成されるように反射防止膜の膜厚を制御すれば、光透過率が増大し、この領域における加熱温度が上昇する。反対に、加熱を実質的に必要としない第2の領域上では極大反射率 R_{\max} が達成されるように反射防止膜の膜厚を制御すれば、光透過率が減少し、この領域における加熱温度が低下する。このとき、極小反射率 R_{\min} と極大反射率 R_{\max} とを達成する反射防止膜の膜厚差は、 $\lambda/4n$ の奇数倍である。ただし、デバイスの構造により、たとえばゲート SiO_2 膜が反射防止膜の一部として使用できるような場合には、ゲート SiO_2 膜の膜厚も含めて上述の膜厚差が達成されるように反射防止膜の膜厚を制御すべきである。

【0021】ところで、上述のような反射率の周期的変化は、薄膜の形成される基板の材料が異なれば、当然変化する。そこで実用上は、第2の領域の少なくとも表層部が第1の領域と実質的に等しい屈折率を有していれば、反射防止膜の膜厚設定が容易となる。以上の条件を考えた場合、実用上最も重要と考えられる本発明の用途のひとつは、MOS-FETの活性化アニールである。つまり、第1の領域がSi基板上に形成されたソース/ドレイン領域であり、第2の領域がSi系材料層を少なくとも表層部に有するゲート電極である場合、反射防止膜の膜厚が上述のように制御されていれば、ゲート電極の変形を来すことなくソース/ドレイン領域の活性化やSi基板の結晶性の回復を十分に行うことができる。

【0022】さらに、本発明の反射防止膜としてはSi O_2 等の誘電体膜を使用し、光アニールは単色光を得や

すいレーザ照射により行うことが最も有効である。

【0023】

【実施例】以下、本発明の具体的な実施例について説明する。本実施例は、本発明をMOS-FETの形成に適用した例である。このプロセスを図2を参照しながら説明する。まず、図2(a)に示されるように、Si基板1にLOCOS法等により素子分離領域2を形成し、ウェハの全面を熱酸化して厚さ約10nmのゲートSiO₂膜3を形成した。その後、ウェハの全面に不純物を含有する多結晶シリコン層4とタングステン・シリサイド(WSi_x)層5を順次積層して、いわゆるタングステン・ポリサイド膜を形成した。本実施例ではさらに、後工程で形成される層間絶縁膜との間の応力緩和を目的として不純物を含有する多結晶シリコン層6を積層し、3層より構成される多層膜7を形成した。この多層膜7は、パターンニングによりゲート電極7a〔図2(b)参照。〕となる層である。

【0024】さらに、上記多層膜7の上に通常のCVD法等により第1のSiO₂層8を形成した。この第1のSiO₂膜8は、後述の第2のSiO₂層12〔図2

(d)参照。〕と共に本発明における反射防止膜の一部を構成する層である。このとき重要なことは、この第1のSiO₂膜8の層厚の設定方法である。後に形成されるゲート電極7aは高温加熱を避けるべき領域であるから、この上では反射防止膜の反射率を極大としたい。一方、後述のLDD領域9および高濃度不純物拡散領域11からなるソース/ドレイン領域は不純物イオンの活性化のために高温加熱を行うべき領域であるから、この上では反射防止膜の反射率を極小としたい。そこで、図1より、極大反射率 R_{\max} が達成される時の反射防止膜の膜厚を d_3 、極小反射率 R_{\min} が達成されるとき膜厚を d_2 と定め、その差 $d_1 (= d_3 - d_2)$ の膜厚分だけを、まず第1のSiO₂膜8で形成する。この d_1 は $\lambda/4n$ に相当し、計算上は約50nmとなるが、本実施例では後述の図2(d)からも明らかなように膜厚 d_2 がゲートSiO₂膜3の膜厚も含むことになるので、この膜厚分を上乗せして第1のSiO₂膜8を約60nmの膜厚に形成した。

【0025】次に、通常の写真リソグラフィによるレジスト・パターンニングを経て上記第1のSiO₂膜8および多層膜7のドライエッチングを順次行い、図2

(b)に示されるように第1のSiO₂膜パターン8aおよびゲート電極7aを形成した。図中、エッチング後に形成された各材料層のパターンには、元の材料層の符号に添字aを付して表してある。

【0026】さらに、この第1のSiO₂膜パターン8aおよびゲート電極7aをマスクとしてSi基板1にイオン注入を行うことにより、ソース/ドレイン領域を構成するLDD領域9を自己整合的に形成した。

【0027】次に、CVD法等によりウェハの全面にS

iO₂層(図示せず。)を形成した後、図2(c)に示されるようにこれをエッチバックして第1のSiO₂膜パターン8aおよびゲート電極7aの側壁面にサイドウォール10を形成した。さらに、これら第1のSiO₂膜パターン8a、ゲート電極7a、サイドウォール10をマスクとして再びSi基板1にイオン注入を行い、ソース/ドレイン領域を構成する高濃度不純物拡散領域11を自己整合的に形成した。

【0028】なお、注入するイオンはSi基板1の導電型に応じてどちらを選択しても良く、Si基板1がp型の場合はAs⁺、Si基板1がn型の場合はBF₂⁺等を用いることができる。いずれの場合も、注入エネルギー5~20keV、ドーズ量 $1 \times 10^{15} \sim 3 \times 10^{15} / \text{cm}^2$ 程度の条件が採用される。

【0029】次に、図2(d)に示されるようにウェハの全面に第2のSiO₂膜12を形成した。ここでは、ソース/ドレイン領域を構成する高濃度不純物拡散領域11上で反射防止膜が極小反射率 R_{\min} を達成する膜厚 d_2 、すなわち約50nmに形成されていることが必要である。ただし、本実施例の場合、この領域の膜厚 d_2 には同じくSiO₂からなるゲートSiO₂膜3の膜厚10nmが含まれているので、第2のSiO₂膜12は約40nmの厚さに堆積させた。一方、ゲート電極7a上では反射防止膜の膜厚として d_3 が達成された。この部位の反射防止膜の膜厚 d_3 は、第1のSiO₂膜パターン8aの膜厚 d_1 と第2のSiO₂膜12の膜厚 d_2 の和であり、約100nmである。このようにして、ゲート電極7a上とソース/ドレイン領域上との間における反射防止膜の膜厚差を、約50nmとすることができた。

【0030】この状態で、ウェハにXeClエキシマ・レーザ光(308nm)を900mJ/cm²のエネルギー密度で照射したところ、LDD領域9および高濃度不純物領域11に注入されたイオンを十分に活性化し、Si基板1の結晶性を十分に回復させることができ、しかもゲート電極7aの変形は招かなかった。もちろん、接合が深くなることもなかった。

【0031】この後、通常の工程にしたがって層間絶縁膜の被覆、コンタクト・ホール加工、上層配線の形成等を行ったが、低抵抗で信頼性の高いMOS-FETを完成することができた。

【0032】ところで、本発明は上述の実施例に何ら限定されるものではない。たとえば、光アニールの光源としては、上述のXeCl(308nm)の他、KeF(351nm)、KrF(249nm)、ArF(193nm)等の各エキシマ・レーザ光源や、ルビー・レーザ(694nm)等のパルス・レーザ光源を用いることができる。上述の実施例でXeClエキシマ・レーザを用いたのは、この波長域における反射防止膜の下地材料の屈折率を特に考慮したからである。反射防止膜の反射

率変化が基板の材料に依存することについては前述した。ここで、各種の半導体材料の波長による屈折率の変化を、屈折率と一義的な関係にある吸収係数の変化でみたデータを図5に示す。XeClやXeFの波長域ではノンドーブの単結晶SiとB（ホウ素）を注入した単結晶Siの吸収係数がほぼ等しいことがわかる。つまり、Bのイオン注入によるSi基板の特性変化を無視することができ、反射防止膜の膜厚設計が容易となるからである。

【0033】さらに、反射防止膜の構成材料は、上述のSiO₂の他、SiN_x（窒化シリコン）やSiO_xN_y（酸窒化シリコン）であっても良い。反射防止膜の膜厚は、これらの反射防止膜の材料の屈折率と使用する光源の波長にもとづいて決定することができる。極大反射率R_{max}を達成する膜厚d₃と極小反射率R_{min}を達成する膜厚d₂の差d₁は、上述の実施例のようなλ/4nには限られず、その奇数倍に選択しても良い。またd₃が常にd₂より大きいとも限らない。ただし、ウェハ表面の段差の増大を抑え、後工程における層間絶縁膜や上層配線の段差被覆性を良好とするためには、d₁をなるべく小さい値に抑えることが望ましい。

【0034】アニールが実質的に不要な領域は、上述のゲート電極の他、一般の配線パターン等であっても良い。

【0035】なお、薄膜の膜厚変化による反射率変化をアニール特性の改善に利用した従来技術としては、たとえば特開昭58-53823号公報に、多結晶シリコン薄膜の結晶化をCW-Arレーザ照射により単結晶化するに際し、この多結晶シリコン層を局所的に膜厚の異なるSiO₂膜で被覆する技術が開示されている。ただしこの技術は、単一の材料層（多結晶シリコン層）がSi基板とSiO₂膜という熱伝導率の異なる複数の材料層上にわたって延在されている場合のアニール温度の均一化を目的とするものであり、本発明の目的とは異なる。

【0036】また、本願出願人は先に特開平3-283611号公報において、LDD構造を有するMOS-FETのソース/ドレイン領域をレーザ・アニールにより活性化する際に、低濃度不純物拡散領域（LDD領域）と高濃度不純物拡散領域との間でアニール温度を変化させるために、両領域上で反射防止SiO₂膜の膜厚に差をつける技術を提案している。ただしこの技術は、共に加熱を要する領域に対して温度差を発生させることを目的としており、加熱の不要な領域を保護するという本発明の目的とはやはり異なっている。

【0037】

【発明の効果】以上の説明からも明らかなように、本発明を適用すれば、加熱すべき領域と加熱を避けるべき領域とが混在した基板に対して所定の値にエネルギー密度が固定されたレーザ光を一樣に照射した場合でも、前者の領域に対して十分なアニールを行いながら、後者の領域への悪影響を回避することが可能となる。したがって本発明は、微細なデザイン・ルールにもとづいてMOS-FET等を形成する場合に、極めて有効である。

【図面の簡単な説明】

【図1】シリコン基板上のSiO₂膜の膜厚と308nmにおける反射率の関係を示す特性図である。

【図2】本発明をMOS-FETの形成に適用したプロセス例をその工程順にしたがって示す概略断面図であり、(a)はシリコン基板上にゲートSiO₂膜を介してゲート電極形成用の多層膜と反射防止膜の一部を構成する第1のSiO₂膜が積層された状態、(b)はゲート電極がパターンニングされ、イオン注入によりLDD領域が形成された状態、(c)はゲート電極の側壁部にサイドウォールが形成され、イオン注入により高濃度不純物拡散領域が形成された状態、(d)はウェハの全面に第2のSiO₂膜が形成され、レーザ・アニールが行われた状態をそれぞれ示す。

【図3】XeClエキシマ・レーザ・アニール（ELA）時の光エネルギー密度によるp⁺n接合深さとシート抵抗の変化関係を表す特性図である。

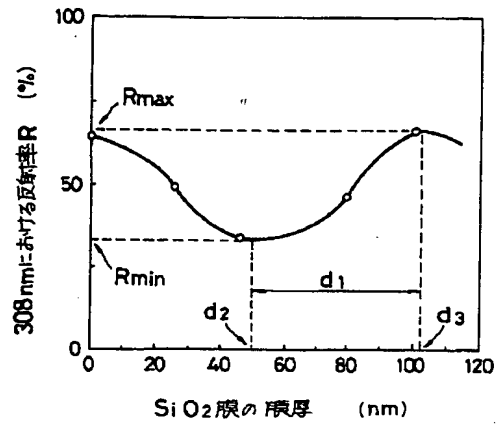
【図4】XeClエキシマ・レーザ・アニール（ELA）時の光エネルギー密度によるn⁺p接合深さとシート抵抗の変化関係を表す特性図である。

【図5】各種半導体材料の吸収係数の波長または光子エネルギー依存性を示す特性図である。

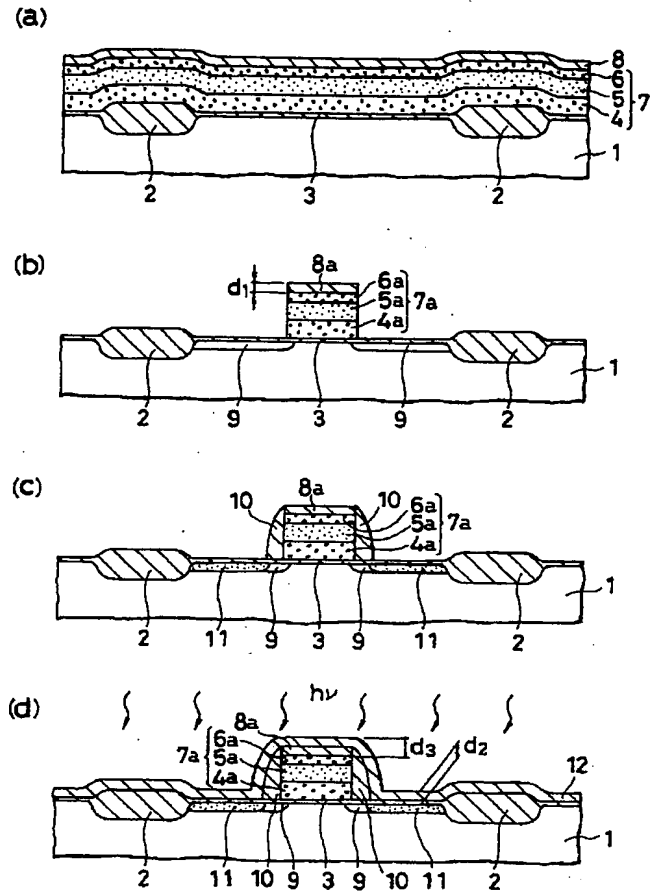
【符号の説明】

- 1・・・Si基板
- 3・・・ゲートSiO₂膜
- 7a・・・ゲート電極
- 8a・・・第1のSiO₂膜パターン
- 9・・・LDD領域
- 11・・・高濃度不純物拡散領域
- 12・・・第2のSiO₂膜
- d₂・・・極小反射率R_{min}が達成されるSiO₂膜の膜厚
- d₃・・・極大反射率R_{max}が達成されるSiO₂膜の膜厚
- d₁・・・膜厚差（= | d₃ - d₂ |）

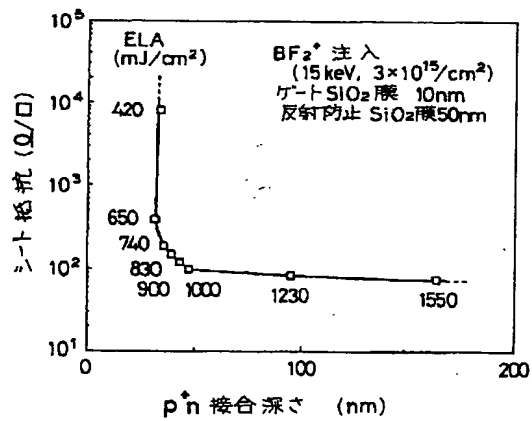
【図1】



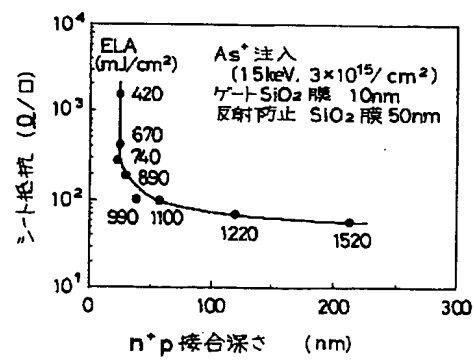
【図2】



【図3】



【図4】



【図5】

